



# KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1001547650000

(44) Publication.Date. 19980710

(21) Application No.1019940035626

(22) Application Date. 19941221

(51) IPC Code:

H01L 29/786

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

LEE, JAE HYUNG

LEE, JU BEOM

LEE, JU HYUNG

(30) Priority:

(54) Title of Invention

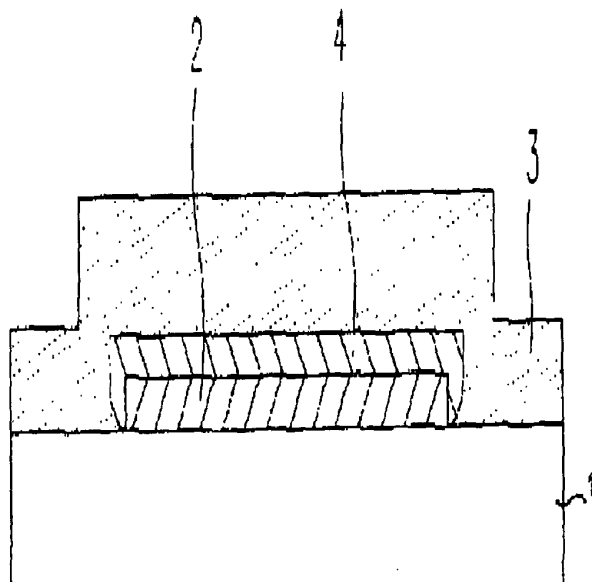
DUAL GATE INSULATION FILM AND METHOD OF FORMING THE SAME

Representative drawing

(57) Abstract:

PURPOSE: A dual gate insulation film is provided to prevent an edge-thinning phenomenon perfectly by oxidizing a low temperature chemical vapor deposition oxide film.

CONSTITUTION: A dual gate insulation film comprises a silicon substrate(1), an active pattern(2), a low temperature chemical vapor deposition oxide film(3), and a thermal oxide film(4). The active pattern(2) is formed on the silicon



substrate(1), and the thermal oxide film(4) is formed so as to cover the active pattern(2). The low temperature chemical vapor deposition oxide film(3) is formed on entire surface of the resultant structure before an annealing is performed.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

|   |                                    |           |              |
|---|------------------------------------|-----------|--------------|
| (51) Int. Cl. <sup>6</sup><br>H01L 29/786 |                                    | (11) 등록번호 | 특0154765     |
|   |                                    | (24) 등록일자 | 1998년07월10일  |
| (21) 출원번호                                 | 특1994-035626                       | (65) 공개번호 | 특1996-026975 |
| (22) 출원일자                                 | 1994년12월21일                        | (43) 공개일자 | 1996년07월22일  |
| (73) 특허권자                                 | 삼성전자주식회사 김광호                       |           |              |
|   | 경기도 수원시 팔달구 매탄동 416번지              |           |              |
| (72) 발명자                                  | 이주형                                |           |              |
|   | 서울특별시 강남구 대치1동 주공아파트 311동 1102호    |           |              |
|   | 이주범                                |           |              |
|   | 경기도 오산시 은계동 64-1 영산아파트 가동 303호     |           |              |
|   | 이재형                                |           |              |
|   | 경기도 수원시 팔달구 우만동 136-1 삼미빌라 가동 201호 |           |              |
| (74) 대리인                                  | 김원호, 최현석                           |           |              |

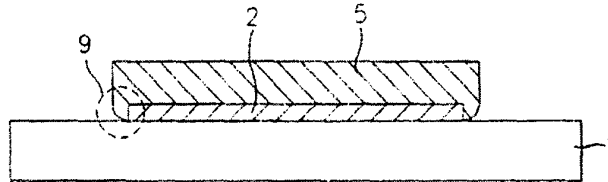
심사관 : 오세준

(54) 에지 시닝 형상을 없앤 이중게이트 절연막 및 그 형성방법

요약

이 발명은 에지 시닝 형상을 없앤 이중게이트 절연막 및 그 형성방법에 관한 것으로, 저온 화학기상증착 산화막을 증착후 열산화함으로써, 에지 시닝 현상을 완전히 해결하고, 흠을 줄이며, 후기열산화 공정시 화학기상증착 산화막 덴시피케이션(Densification) 및 디하이드로제네이션(Dehydrogenation) 효과가 있어 전기적 특성 및 절연 특성에서도 열산화막도 동일한 결과를 얻을 수 있는 에지 시닝 형상을 없앤 이중게이트 절연막 및 그 형성방법에 관한 것이다.

대표도



명세서

[발명의 명칭]

에지 시닝 형상을 없앤 이중게이트 절연막 및 그 형성방법

[도면의 간단한 설명]

제1도는 종래는 게이트 절연막의 단면도.

제2도는 종래의 열산화후 화학 기상증착법으로 산화막을 증착하는 방법으로 형성된 게이트 절연막의 단면도.

제3도는 종래의 게이트 절연막의 형성과정중에 흠이 생기는 과정을 도시한 단면도.

제4도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 형성전에 저온 산화막을 증착시킨 단면도.

제5도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 단면도.

제6도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 형성과정중에 흠이 줄어드는 과정을 도시한 단면도.

제7도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막을 일정조건으로 실험한 결과표.

제8도는 이 발명의 실시예를 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 실험을 위한 회로도.

제9도는 제8도의 회로에 대하여 일정조건으로 실험한 결과표이다.

\* 도면의 주요부분에 대한 부호의 설명

1 : 기판

2 : 액티브 패턴

3 : 화학기상증착 산화막 4 : 열산화막

[발명의 상세한 설명]

이 발명은 에지 시닝 형상을 없앤 이중게이트 절연막 및 그 형성방법에 관한 것으로 더욱 상세하게 말하자면, 박막트랜지스터(TFT) 제조과정에서 게이트 절연막을 형성할 때 저온 화학적 기상증착법(CVD)으로 산화막을 증착한 후 열산화함으로써 게이트 절연막의 가장자리에서 그 두께가 얇아지는 에지 시닝(Edge-Thinning)현상을 없앤 이중게이트 절연막 및 그 형성방법에 관한 것이다.

화상정보시대에 있어서, 정보전달의 최대 담당자인 표시장치에 많은 기대가 모아지고 있으며 이로 인해 지금까지의 음극선관(CRT)을 대신한 각종 평면표시장치가 개발되어 급속히 보급되기 시작하고 있다.

그중에서도 액정표시장치(LCD)는 극도로 경량으로 박형, 저가 저소비 전력구동으로 집적회로와의 정합성이 좋은 점등의 특징을 가져 랩톱 컴퓨터나 포켓 컴퓨터의 표시에 차량적재용, 칼라 텔레비전 화상용으로 그 용도를 확대하고 있다.

상기한 액정표시장치를 액티브 매트릭스 방식으로 구동하기 위해서 티에프티 액정표시장치가 사용된다.

고온 티에프티 액정표시장치 제조공정에서는 게이트 절연막 액티브(Active) 층 패턴 형성이후 열산화하여 형성하는 것이 일반적인 방법이다.

이하, 첨부된 도면을 참조로 하여 종래의 기술을 설명하기로 한다.

제1도는 종래의 게이트 절연막의 단면도이고, 제2도는 종래의 열산화후 화학기상증착법으로 산화막을 증착하는 방법으로 형성된 게이트 절연막의 단면도이고, 제3도는 종래의 게이트 절연막의 형성과정중에 홈이 생기는 과정을 도시한 단면도이다.

제1도에 도시되어 있듯이, 종래에는 기판(1)위에 비정질 실리콘을 증착한후 액티브 패턴(2)을 형성하고, 그 위에 열산화하는 방법으로 게이트 절연막(5)을 형성하였다.

그러나 제1도에 도시된 바와 같이 종래의 게이트 절연막은 이후 공정에서 에지 시닝(9)과 같은 문제점이 발생하여, 티에프티 액정표시장치 패널을 신뢰성 있게 만들어야 하는 제조공정에 있어서 치명적으로 신뢰성에 문제를 야기시키는 단점이 있다.

이러한 문제 해결을 위해 제2도에 도시된 바와 같은 구조로 열산화후에 화학기상증착법으로 산화막을 증착하는 방법이 제시된 바 있으나, 화학기상증착법으로 성장된 산화막의 경우 그 절연내압 및 누설전류 면에서 열산화막보다 훨씬 못 미치는 특성을 나타내고, 화학기상증착법으로 성장된 산화막(6)과 열산화막(4)의 계면트랩(Trap)의 발생으로 실제 소자 제작시 특성에 나쁜 효과를 미친다.

또한 초기 열산화시 이미 네거티브 프로파일(Negative Profile)이 형성되고 화학기상증착법으로 성장된 산화막(6)이 그 에지를 파고 들어가므로 에지 시닝 현상에는 도움이 안된다.

또한, 제3도에 도시되어 있듯이, 종래에는 아몰포스 실리콘(또는 폴리 실리콘) 위에 고온열산화막을 형성하면, 아몰포스 실리콘이 순식간에 폴리 실리콘이 되어버리고, 이때 생긴 폴리 실리콘의 결정입계(Grain Boundary)를 따라 열산화막이 빠르게 형성되어 홈(Grooving)이 깊게 생기는 단점이 있다.

그러므로 본 발명의 목적은 종래의 단점을 해결하기 위한 것으로 저온 화학기상증착 산화막을 증착후 열산화함으로써, 에지 시닝 현상을 완전히 해결하고, 홈을 줄이며, 후기열산화 공정시 화학기상증착 산화막 덴시피케이션(Densification), 디하이드로제네이션(Dehydrogenation) 효과가 있어 전기적 특성 및 절연 특성에서도 열산화막과 동일한 결과를 얻을 수 있는 에지 시닝 형상을 없앤 이중게이트 절연막 및 그 형성방법을 제공하고자 하는데 있다.

상기 목적을 달성하고자하는 이 발명의 구성은,

석영기판과;

상기 석영기판위에 최종 형성되어 있는 액티브 다결정 실리콘과;

상기 액티브 다결정 실리콘의 위에 형성되어 있는 열산화막과;

열처리 공정 이전에 증착된 화학기상증착 산화막으로 이루어진다.

상기 목적을 달성하고자하는 이 발명의 다른 구성은,

석영기판 위에 비정질 실리콘을 증착후 액티브 패턴을 형성하는 단계와;

상기의 패턴 형성 후에 저온 화학기상증착 산화막을 증착하는 단계와;

상기의 저온 화학기상증착 산화막 형성 후에 열산화막을 형성하는 단계로 이루어진다.

상기 구성에 의하여 이 발명을 용이하게 실시할 수 있는 가장 바람직한 실시예를 첨부된 도면을 참조로 하여 설명하면 다음과 같다.

제4도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 형성전에 저온 산화막을

증착시킨 단면도이고,

제5도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 단면도이고,

제6도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 형성과정중에 흠이 줄어드는 과정을 도시한 단면도이고,

제7도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막을 일정조건으로 실험한 결과표이고,

제8도는 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 실험을 위한 회로도이고,

제9도는 제8도의 회로에 대하여 일정조건으로 실험한 결과표이다.

제5도에 도시되어 있듯이, 이 발명의 실시예에 따른 에지 시닝 형상을 없앤 이중게이트 절연막의 구성은,

석영기판(1)위에 상기 기판위에 최종 형성되어 있는 액티브 다결정 실리콘(2)이 덮여 있고, 그 위에 열산화막(4)이 덮여 있고, 그 위에 열처리 공정 이전에 증착된 화학기상증착 산화막(3)이 덮여 있는 구조로 이루어진다.

상기 구성에 의한 에지 시닝 형상을 없앤 이중게이트 절연막의 제조방법은 다음과 같다.

제4도에 도시되어 있듯이, 먼저 기판(1)위에 비정질 실리콘을 증착후 액티브 패턴(2)을 형성한다.

상기 액티브 패턴(2) 위에 저온 화학기상증착(APCVD, PECVD, LTO, ECR-CVD) 산화막(3)을 500Å 증착한다.

상기한 저온 산화막(3) 증착은 산화막 증착시 액티브 패턴(2)의 뉴클리에이션(Nucleation)을 방지하기 위함이다.

고온산화막(HTO)을 증착하게 되면 뉴클리에이션이 일어나 이후 열산화 공정에서 그레인 성장(Grain-Growth)을 방해하는 요인으로 작용하게 된다.

제3도와 같이 형성된 이후 열산화막(4)을 200Å 내지 600Å 바람직하게는 500Å 형성시킨다.

상기한 저온 산화막(3)과 열산화막(4)의 두께는 수십 내지 디바이스의 최고 요구 절연내압을 견디는 두께로 제조하는 것을 특징으로 한다.

상기한 저온 산화막(3)과 열산화막(4)의 두께는 1000Å 내지 1200Å이 되는 것이 바람직하다.

열산화막(4)의 형성시 액티브 패턴(2)은 비정질 실리콘 상태에서 다결정 실리콘으로 되며 열산화막(4)이 액티브 패턴(2)과 저온 산화막(3)의 계면에서부터 형성되므로 열산화막 만으로만 게이트 산화막을 형성한 제1도에 도시된 종래의 게이트 절연막과 같은 특성을 얻을 수 있다.

또한 열산화막(4)의 형성시 저온 산화막(3) 자체의 덴시피케이션 및 디하이드로제네이션이 일어나므로 화학기상증착 산화막의 특성이 열산화막과 동일해진다.

또한 열산화막(4)의 형성과정이 화학기상증착 산화막과 열산화막 계면이 트랩을 치유해 주고 박막과 박막의 스트레스(STRESS)를 릴리스(Release)해주는 역할을 하므로 막 자체의 안전성을 확보할 수 있다. 무엇보다도 이러한 공정을 사용하게 되면 에지 시닝 현상을 완벽히 해결할 수 있어 이후 게이트 형성(증착 및 패턴 형성)시에 게이트 물질이 에지에 잔류하는 문제 발생을 방지할 수 있게 되었다.

상기한 열산화막(4)을 100Å 내지 500Å 정도만 형성하면 제6도와 같은 흠이 감소한 이중게이트 절연막을 얻을 수 있다.

참고로 다음과 같은 조건으로 완성된 이중게이트 절연막을 실험한 결과를 제7도의 표에 도시하였다.

조건: 비정질 실리콘을 560℃의 온도와  $\text{SiH}_4+\text{H}_2$  혼합 기체 분위기에서 600Å의 두께로 증착하고 패턴닝하여 액티브 패턴을 형성하고, 400℃의 온도와 각각 25sccm와 1100sccm의 유량을 갖는  $\text{SiH}_4+\text{H}_2\text{O}$  혼합 기체 분위기에서 플라즈마 인핸스드(plasma enhanced) 화학기상증착법으로 600Å 두께의 산화막(PEOX)을 증착하고, 다시 1,050℃의 온도에서 산소( $\text{O}_2$ ) 기체를 공급하여 열산화막을 500Å 성장시킨다. 이때 비정질 실리콘의 결정화가 동시에 일어난다.

또한, 제8도에 도시된 조건으로 실험한 결과를 제9도의 표에 도시하였다.

이상에서와 같이 이 발명의 실시예에서 저온 화학기상증착 산화막을 증착후 열산화함으로써, 에지 시닝 현상을 완전히 해결하고, 흠을 줄이며, 후기 열산화 공정시 화학기상증착 산화막 덴시피케이션, 디하이드로제네이션 효과가 있어 전기적 특성 및 절연 특성에서도 열산화막과 동일한 결과를 얻을 수 있는 이점이 있는 에지 시닝 형상을 없앤 이중게이트 절연막 및 그 형성방법을 제공할 수 있다.

## (57) 청구의 범위

### 청구항 1

석영기판과; 상기 석영기판위에 최종 형성되어 있는 액티브 다결정 실리콘과;

상기 액티브 다결정 실리콘의 위에 형성되어 있는 열산화막과; 열처리 공정 이전에 증착된 화학기상증착 산화막으로 구성되어짐을 특징으로하는 에지 시닝 형상을 없앤 이중게이트 절연막.

**청구항 2**

제1항에 있어서, 상기한 저온 화학기상증착 산화막과 열산화막을 합한 두께는 1000Å 내지 1200Å이 되는 것을 특징으로 하는 에지 시닝 형상을 없앤 이중게이트 절연막.

**청구항 3**

제1항에 있어서, 상기한 열산화막의 두께가 200Å 내지 600Å인 것을 특징으로 하는 에지 시닝 형상을 없앤 이중게이트 절연막.

**청구항 4**

석영기판 위에 비정질 실리콘을 증착후 액티브 패턴을 형성하는 단계와; 상기의 액티브 패턴을 형성한 후에 저온 화학기상증착 산화막을 증착하는 단계와; 상기의 저온 화학기상증착 산화막을 증착한 후에 열산화막을 형성하는 단계로 구성되어짐을 특징으로 하는 에지 시닝 형상을 없앤 이중게이트 절연막의 형성방법.

**청구항 5**

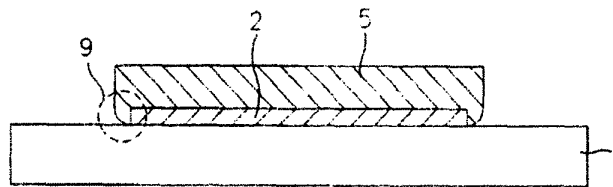
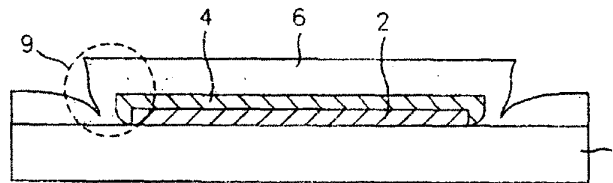
제4항에 있어서, 상기한 열산화막의 형성단계에서, 액티브 패턴은 비정질 실리콘 상태에서 다결정 실리콘으로 되는 것을 특징으로 하는 에지 시닝 형상을 없앤 이중게이트 절연막의 형성방법.

**청구항 6**

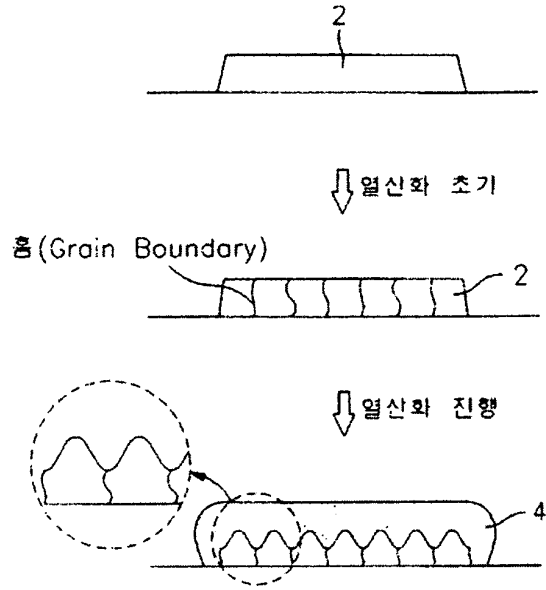
제4항에 있어서, 상기한 저온 화학기상증착 산화막과 열산화막을 형성하는 단계에서 저온 산화막과 열산화막을 합한 두께는 1000Å 내지 1200Å이 되는 것을 특징으로 하는 에지 시닝 형상을 없앤 이중게이트 절연막의 형성방법.

**청구항 7**

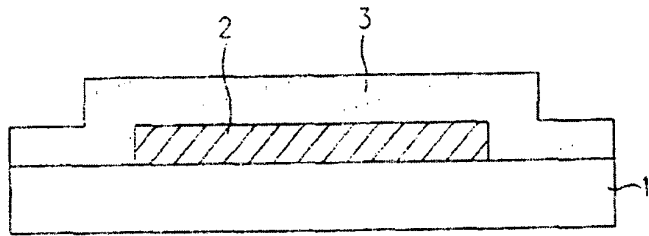
제4항에 있어서, 상기한 열산화막을 형성하는 단계에서 열산화막의 두께가 200Å 내지 600Å인 것을 특징으로 하는 에지 시닝 형상을 없앤 이중게이트 절연막의 형성방법.

**도면****도면1****도면2**

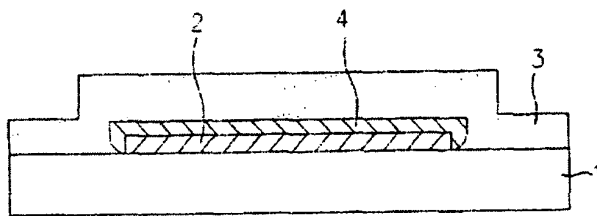
도면3



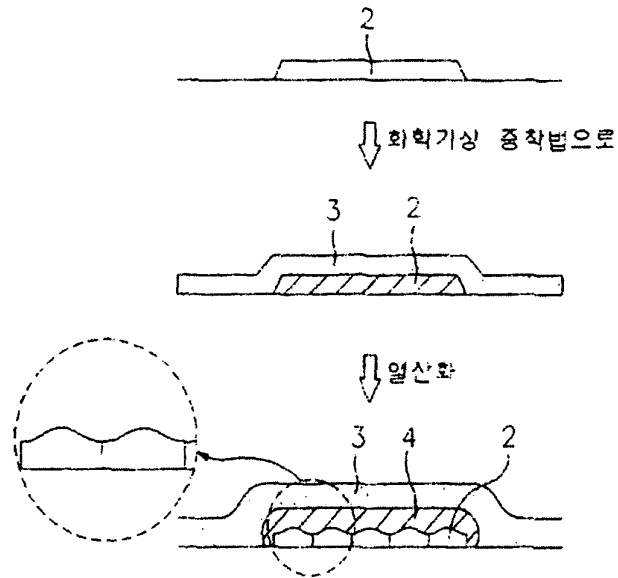
도면4



도면5



도면6



도면7

< C-V 특성 >

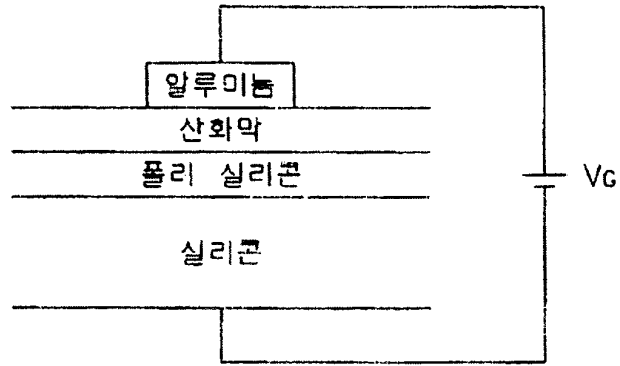
|           | 두께(Å) | 공정률(R.I) | 개관저지밀도( $Q_{it}(1E11)$ ) | 플랫밴드볼트( $V_{fb}(V)$ ) | 문턱전압( $V_{th}(V)$ ) |
|-----------|-------|----------|--------------------------|-----------------------|---------------------|
| 열산화막      | 1002  | 1.466    | 1.56                     | -1.60                 | -0.37               |
| PEOX/열산화막 | 995.5 | 1.467    | 1.63                     | -1.59                 | -0.30               |

< J-V 특성 >

|           | 누설전류 200nA일때 게이트전압( $V_g(V)$ ) | 브레이크 다운 볼트시( $V_{br}(V)$ ) |
|-----------|--------------------------------|----------------------------|
| 열산화막      | 86.9                           | 88                         |
| PEOX/열산화막 | 85.6                           | 87                         |



도면8



도면9

| (열산화막만)<br>500Å           | 누설전류<br>$V_g = 10V$ 일때 | 절연내압<br>( $V_{br}$ ) |
|---------------------------|------------------------|----------------------|
|                           | 11.75nA                | 24V                  |
| (열산화막 300Å<br>+ CVD 200Å) | 0.64nA                 | 41.8V                |